

FOLLOW-ON DOCUMENT INDEX SHEET

CFILE	PEFRSEQ	ACPA	Pre-Exam Formailies Sequence Reply Request for Corrected Filing Receipt	Pre-Exam Formailies Sequence Reply Request for Corrected Filing Receipt	CRFD	AF/D	Issue Fee Transmittal PTO 85 B Affidavit or Exhibit Received	CRFE	AP.B	Computer Readable Form DEFERRED Appeal Brief	C680	CRFL	CRF Transfer Request Request for Corrected Notice/Allowance	PEFRSEQ	A.NA	Amendment including Elections Amendment after Notice of Allowance	SEQLIST	EABN	Sequence Listing Request for Early Publication	EARLYPUB	IRFND	Refund Requests Refund Requests	A.PE	L.RIN	Ref Express Award to Avoid Publication Any Incomimg L&R	PGEA	PGAG	Notice of Appeal Req for Corrected Pat App Publication	ELC.	N417	Response to Election/Restriction Req for Renewal of Publication Fee Paid	PGREF	PGUB DRAWINGS	Box PG Pub Drawings Req for Continued Examination Request for Continued Examination	RCEX	PROTRANS	Power to Make Copies or to Inspect Change in Power of Attorney	371P	PA..	PCT Papers in a 371P Application Change in Power of Attorney	ABST	DRW	Drawings Power to Make Copies or to Inspect	IDS	PC/I	IDS Including 1449 Change in Power of Attorney	OATH	FOR	Foreign Reference Petition	PE.T.	NPL	Non-Patent Literature Petition to Withdraw from Issue	ADS	APPENDIX	Appendix Petition Decsion	FPR	PETDCC	Foreign Priority Papers Petition Decsion	PETDCC	PE.T.DISS	Non-Patent Literature Petition to Withdraw from Issue	ADS	APPENDIX	Appendix Petition Decsion	FRP	PETDCC	Foreign Priority Papers Petition Decsion	PETDCC	LET	Terminal Disclaimer filed Notice of Appeal or Interfiling Letter	L.RACK	MIS	Terminal Disclaimer Document Notice of Appeal or Interfiling Letter	ROCKET	RETMAIL.	Mail Returned by Post Office Request for Expedited (Rocket Docxel)	136A		Blanket Authorization to Charge Fees Specification Not in English
-------	---------	------	--	--	------	------	---	------	------	---	------	------	--	---------	------	--	---------	------	---	----------	-------	------------------------------------	------	-------	--	------	------	---	------	------	---	-------	---------------	---	------	----------	---	------	------	---	------	-----	--	-----	------	---	------	-----	-------------------------------	-------	-----	--	-----	----------	------------------------------	-----	--------	---	--------	-----------	--	-----	----------	------------------------------	-----	--------	---	--------	-----	---	--------	-----	--	--------	----------	---	------	--	--



THIS PAGE BLANK (USPTO)



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint-Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1er dépôt

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle-Livre VI

cerfa
N° 55-1328

REQUÊTE EN DÉLIVRANCE 1/2

Réervé à
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES
DATE 27 FEV 2003
LIEU 38 INPI GRENOBLE
N° D'ENREGISTREMENT 0302422
NATIONAL ATTRIBUÉ PAR L'INPI
DATE DE DÉPÔT ATTRIBUÉE 27 FEV. 2003
PAR L'INPI

Vos références pour ce dossier

(facultatif) B5862

Confirmation d'un dépôt par télécopie

N° attribué par l'INPI à la télécopie

Cochez l'une des 4 cases suivantes

2 NATURE DE LA DEMANDE

Demande de Brevet

Demande de certificat d'utilité

Demande divisionnaire

Demande de brevet initiale
ou demande de certificat d'utilité initiale

Date / /

Date / /

Transformation d'une demande de

brevet européen

Demande de brevet initiale

Date / /

N°

N°

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

CIRCUIT D'INTERFACE

4 DÉCLARATION DE PRIORITÉ
OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE
FRANÇAISE

Pays ou organisation

Date

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°

S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"

5 DEMANDEUR

Nom ou dénomination sociale

STMicroelectronics SA

Prénoms

Forme juridique

Société anonyme

N° SIREN

Code APE-NAF

ADRESSE

Rue

29, Boulevard Romain Rolland

Code postal et ville

92120 MONTROUGE

Pays

FRANCE

Nationalité

Française

N° de téléphone (facultatif)

N° de télécopie (facultatif)

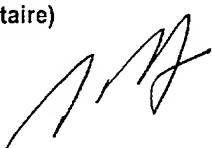
Adresse électronique (facultatif)



Réserve à
L'INPI

REMISE DES PIÈCES **27 FEV 2003**
DATE **38 INPI GRENOBLE**
LIEU **0302422**
N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :			
(facultatif) B5862			
6 MANDATAIRE			
Nom			
Prénom			
Cabinet ou Société		Cabinet Michel de Beaumont	
N° de pouvoir permanent et/ou de lien contractuel			
ADRESSE	Rue	1 Rue Champollion	
	Code postal et ville	38000	GRENOBLE
N° de téléphone (facultatif)		04.76.51.84.51	
N° de télécopie (facultatif)		04.76.44.62.54	
Adresse électronique (facultatif)		cab.beaumont@wanadoo.fr	
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur (s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé "Suite", indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)			VISA DE LA PREFECTURE OU DE L'INPI  M.D.R.GR.
Michel de Beaumont Mandataire n° 92-1016			

CIRCUIT D'INTERFACE

La présente invention concerne le domaine des circuits intégrés.

La présente invention concerne les circuits d'interface permettant de recopier un signal de tension variable avec 5 un éventuel décalage de tension prédéterminé.

Un exemple connu d'un tel circuit d'interface est un amplificateur opérationnel monté en suiveur.

Un inconvénient de ce circuit est que, dans le cas où 10 le circuit de charge présente une faible impédance d'entrée, il est nécessaire que l'amplificateur opérationnel soit constitué de très gros transistors pour assurer une recopie de tension correcte.

Un autre inconvénient de ce circuit est qu'il ne 15 permet pas de recopier un signal ayant une grande excursion de tension. En effet, selon le mode de réalisation de l'amplificateur opérationnel, quand le signal d'entrée est proche d'une des tensions d'alimentation, le signal de sortie sature.

Un autre inconvénient de ce circuit est qu'il ne permet pas de recopier un signal avec un décalage constant.

20 Un objet de la présente invention est de prévoir un circuit d'interface peu volumineux capable de commander des circuits de charge présentant une faible impédance d'entrée.

Un autre objet de la présente invention est de prévoir un tel circuit d'interface capable de recopier un signal présentant une grande excursion de tension.

5 Un autre objet de la présente invention est de prévoir un tel circuit d'interface capable de recopier un signal avec un décalage constant.

Pour atteindre ces objets, la présente invention prévoit un circuit d'interface comprenant une ou deux branches d'entrée et une branche de sortie, chaque branche étant connectée 10 entre des bornes d'alimentation supérieure et inférieure, chaque branche d'entrée comprenant un transistor dont l'électrode de commande est connectée à l'entrée du circuit d'interface, une des deux autres électrodes du transistor étant reliée à une des bornes d'alimentation, une source de courant étant placée entre 15 l'autre des bornes d'alimentation et un noeud intermédiaire relié à la dernière électrode du transistor par l'intermédiaire éventuellement d'une ou de plusieurs diodes, la branche de sortie comprenant deux transistors complémentaires, dont les électrodes de commande sont reliées aux noeuds intermédiaires 20 d'une des branches d'entrée ou à l'entrée du circuit, une des électrodes de chacun des transistors complémentaires étant connectée à la sortie du circuit, la dernière électrode de chacun des transistors étant connectée à une borne d'alimentation.

Dans un mode de réalisation du circuit d'interface susmentionné, les transistors sont des transistors CMOS, l'électrode de commande d'un transistor étant sa grille, les deux autres électrodes étant ses source et drain.

Dans un mode de réalisation du circuit d'interface susmentionné, la branche de sortie comprend un transistor PMOS et un transistor NMOS, les drains des transistors PMOS et NMOS étant reliés à la sortie du circuit, la source du transistor PMOS étant reliée à la borne d'alimentation supérieure, la source du transistor NMOS étant reliée à la borne d'alimentation inférieure.

Dans une variante du mode de réalisation décrit ci-dessus, le circuit comprend des première et seconde branches d'entrée, la première branche d'entrée comprenant un transistor PMOS dont le drain est connecté à la borne d'alimentation inférieure, la 5 source de courant de la première branche d'entrée étant placée entre la source du transistor PMOS de la première branche d'entrée et la borne d'alimentation supérieure, la seconde branche d'entrée comprenant un transistor NMOS dont le drain est connecté à la 10 borne d'alimentation supérieure, la source de courant de la seconde branche d'entrée étant placée entre la source du transistor NMOS et la borne d'alimentation inférieure, les grilles 15 des transistors NMOS et PMOS étant connectées à l'entrée du circuit, la grille du transistor NMOS de la branche de sortie étant connectée à la source du transistor PMOS de la première branche d'entrée, la grille du transistor PMOS de la branche de sortie étant connectée à la source du transistor NMOS de la 20 seconde branche d'entrée.

Dans une autre variante du mode de réalisation décrit ci-dessus, le circuit comprend une seule branche d'entrée, la première branche d'entrée comprenant un transistor PMOS dont le drain est connecté à la borne d'alimentation inférieure et la grille connectée à l'entrée du circuit d'interface, la source du 25 transistor PMOS étant connectée à la cathode d'une diode, la source de courant de la branche d'entrée étant placée entre l'anode de la diode et la borne d'alimentation supérieure, la grille du transistor NMOS de la branche de sortie étant connectée à la source du transistor PMOS de la branche d'entrée, la grille du transistor PMOS de la branche de sortie étant connectée à l'entrée du circuit.

30 Dans une autre variante du mode de réalisation décrit ci-dessus, le circuit comprend des première et seconde branches d'entrée, la première branche d'entrée comprenant un transistor NMOS dont le drain est connecté à la borne d'alimentation supérieure, la source de courant de la première branche d'entrée étant placée entre la source du transistor NMOS de la première 35

branche d'entrée et la borne d'alimentation inférieure, la seconde branche d'entrée comprenant un transistor NMOS dont le drain est connecté à la borne d'alimentation supérieure, la source du transistor NMOS de la seconde branche étant connectée 5 à l'anode d'une première diode, la cathode de la première diode étant connectée à l'anode d'une seconde diode, la source de courant de la seconde branche d'entrée étant placée entre la cathode de la seconde diode et la borne d'alimentation inférieure, les grilles des transistors NMOS des première et seconde 10 branche d'entrée étant connectées à l'entrée du circuit d'interface, la grille du transistor NMOS de la branche de sortie étant connectée à la source du transistor NMOS de la première branche d'entrée, la grille du transistor PMOS de la branche de sortie étant connectée à la cathode de la seconde diode.

15 Dans un mode de réalisation du circuit susmentionné, la source de chacun des transistors du circuit est connectée au substrat du transistor.

20 Dans un mode de réalisation du circuit susmentionné, les transistors sont des transistors bipolaires, l'électrode de commande d'un transistor étant sa base, les deux électrodes étant ses émetteur et collecteur.

25 De plus, la présente invention prévoit un circuit de pompe de charge comprenant des premier et second transistors PMOS commandés par des premiers signaux complémentaires, des premier et second transistors NMOS commandés par des seconds signaux complémentaires, une première source de courant étant placée entre une borne de tension supérieure et les sources des transistors PMOS, une seconde source de courant étant placée entre une borne de tension inférieure et les sources des transistors NMOS, les drains des premiers transistors étant reliés à 30 la sortie du circuit, les drains des seconds transistors étant reliés à un noeud intermédiaire, la sortie du circuit étant reliée à l'entrée d'un circuit d'interface tel que décrit ci-dessus, la sortie du circuit d'interface étant reliée au noeud 35 intermédiaire.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes 5 parmi lesquelles :

la figure 1 représente un circuit d'interface selon la présente invention ;

la figure 2 représente un circuit d'interface selon une variante de réalisation de la présente invention ;

10 la figure 3 représente un circuit d'interface selon une autre variante de réalisation de la présente invention ; et

la figure 4 représente un circuit de pompe de charge incluant un circuit d'interface selon la présente invention.

La figure 1 est un schéma d'un circuit d'interface 15 selon la présente invention. Le circuit d'interface 1 comprend deux branches d'entrée b_{e1} et b_{e2} et une branche de sortie b_{s1} . Chacune de ces branches est placée entre une borne d'alimentation positive v_{dd} et la masse gnd , la borne v_{dd} valant par exemple 2,5 volts. La branche d'entrée b_{e1} comprend un transistor PMOS $P1$ et une source de courant $I1$. Le drain du transistor $P1$ est relié à la masse. La source de courant $I1$ est placée entre la borne v_{dd} et la source du transistor $P1$. La grille du transistor $P1$ est reliée à l'entrée E_1 du circuit 20 d'interface 1. La branche d'entrée b_{e2} comprend un transistor NMOS $N1$ et une source de courant $I2$. Le drain du transistor $N1$ est relié à la borne v_{dd} . La source de courant $I2$ est placée entre la masse et la source du transistor $N1$. La grille du transistor $N1$ est reliée à l'entrée E_1 . La branche de sortie b_{s1} 25 comprend un transistor NMOS $N2$ et un transistor PMOS $P2$. La grille du transistor $N2$ est reliée au point intermédiaire A_1 entre la source de courant $I1$ et la source du transistor $P1$. La grille du transistor $P2$ est reliée au point intermédiaire B_1 entre la source de courant $I2$ et la source du transistor $N1$. Le drain du transistor $N2$ est relié à la borne v_{dd} et le drain du 30

transistor P2 est relié à la masse. Les sources des transistors N2 et P2 sont reliées à la sortie S_1 du circuit d'interface 1.

Dans les circuits CMOS standard, la tension de seuil V_{tp} d'un transistor PMOS est sensiblement égale à la tension de seuil V_{tn} d'un transistor NMOS. On considérera dans la suite de la description que les tensions de seuil V_{tp} et V_{tn} sont égales à une unique tension de seuil V_t .

La tension V_{a1} au point A_1 est sensiblement égale à la tension V_{e1} sur l'entrée E_1 plus une fois la tension de seuil V_t . De même, la tension V_{b1} au point B_1 est sensiblement égale à la tension V_{e1} moins une fois la tension de seuil V_t . Le transistor N2 est conducteur quand la tension V_{s1} sur la sortie S_1 est inférieure à la tension V_{a1} moins une fois la tension de seuil V_t . Le transistor P2 est conducteur quand la tension V_{s1} est supérieure à la tension V_{b1} plus une fois la tension de seuil V_t . La différence entre les tensions V_{a1} et V_{b1} est égale à deux fois la tension de seuil V_t . La tension V_{s1} est alors égale à $(V_{a1}+V_{b1})/2$ et est égale à V_{e1} .

Quand la tension V_{e1} augmente, les tensions V_{a1} et V_{b1} augmentent. Le transistor P2 se bloque et le transistor N2 est conducteur. La tension V_{s1} augmente. Inversement, quand la tension V_{e1} diminue, les tensions V_{a1} et V_{b1} diminuent. Le transistor N2 se bloque et le transistor P2 est passant. La tension V_{s1} diminue.

Afin d'assurer une constance des tensions de seuil et donc d'assurer une meilleure recopie du signal fourni sur l'entrée E_1 , on pourra prévoir pour chacun des transistors du circuit d'interface de relier leur source à la zone de substrat située sous leur grille, comme cela est illustré en figure 1. Pour ce faire, les transistors du circuit d'interface doivent avoir un substrat isolé et indépendant.

De plus, de préférence, la taille du transistor de chaque branche d'entrée est ajustée à la source de courant à laquelle il est relié de sorte que les tensions grille/source des transistors N1 et P1 soient identiques et par exemple

proches de la tension de seuil V_t , quand les transistors sont en saturation et qu'ils conduisent un courant égal à celui fourni par leur source de courant respective.

La figure 2 est un schéma d'un circuit d'interface 10 selon une variante de réalisation de la présente invention. Le circuit 10 comprend une branche d'entrée be_{10} et une branche de sortie bs_{10} placées entre une borne d'alimentation positive vdd et la masse gnd . La branche d'entrée be_{10} comprend deux transistors PMOS $P10$ et $P11$ et une source de courant $I10$. Le drain du transistor $P10$ est relié à la masse. La grille du transistor $P10$ est reliée à l'entrée E_{10} du circuit d'interface 10. Le transistor $P11$ est monté en diode, sa grille étant reliée à son drain. Le drain du transistor $P11$ est relié à la source du transistor $P10$. La source de courant $I10$ est placée entre la borne vdd et la source du transistor $P11$. La branche de sortie bs_{10} comprend un transistor NMOS $N10$ et un transistor PMOS $P12$. Le drain du transistor $N10$ est relié à la borne vdd . Le drain du transistor $P12$ est relié à la masse. Les sources des transistors $N10$ et $P12$ sont reliées à la sortie S_{10} du circuit d'interface 10. La grille du transistor $N10$ est reliée au point intermédiaire A_{10} entre la source de courant $I10$ et la source du transistor $P11$. La grille du transistor $P12$ est reliée à l'entrée E_{10} .

La tension $V_{a_{10}}$ au point A_{10} est égale à la tension $V_{e_{10}}$ sur l'entrée E_{10} plus deux fois la tension de seuil V_t . En effet, lorsque les deux transistors $P11$ et $P10$ sont conducteurs, la tension grille/source (ou source/drain) du transistor $P11$ est sensiblement égale à une fois la tension de seuil V_t et la tension source/grille du transistor $P10$ est elle aussi sensiblement égale à une fois la tension de seuil V_t . Ceci est vérifié dans le cas comme précédemment où les tailles des transistors $P10$ et $P11$ sont prévues pour que les tensions source/grille soient proches de V_t quand ils conduisent un courant égal à celui fourni par la source de courant $I10$. La tension $V_{s_{10}}$ sur la sortie S_{10} est égale à la moyenne des tensions $V_{a_{10}}$ et $V_{e_{10}}$.



qui est égale à la tension V_{e10} plus une fois la tension de seuil V_t . Quelle que soit la tension V_{e10} , la tension en sortie V_{s10} est donc toujours égale à la tension V_{e10} augmentée d'une fois la tension de seuil V_t .

5 Afin, comme précédemment, d'assurer une recopie décalée correcte quelle que soit la valeur de la tension V_{e10} , la source de chaque transistor est reliée à la zone de substrat située sous leur grille comme cela est représenté en figure 2.

10 Le circuit d'interface 10 permet de recopier un signal avec un décalage de tension "positif", le signal de sortie étant augmenté d'une fois la tension de seuil V_t . De façon duale, il est possible de réaliser un circuit d'interface permettant de recopier un signal avec un décalage négatif, le signal de sortie étant diminué d'une fois la tension de seuil V_t . Un tel circuit 15 d'interface comprend une seule branche d'entrée composée de deux transistors NMOS et d'une source de courant. La grille d'un des transistors NMOS est connectée à l'entrée du circuit d'interface. Le drain de ce même transistor est connecté à une borne d'alimentation positive vdd et sa source est reliée au second 20 transistor NMOS monté en diode. La source de courant est placée entre le transistor monté en diode et la masse gnd. Le circuit d'interface comprend une branche de sortie identique à celle du circuit d'interface 10. La grille du transistor NMOS de la branche de sortie est connectée à l'entrée du circuit d'interface. La grille du transistor PMOS de la branche de sortie 25 est reliée au point intermédiaire entre la source de courant et le transistor NMOS monté en diode de la branche d'entrée.

30 La figure 3 est un schéma d'un circuit d'interface 20 selon une autre variante de réalisation de la présente invention. Le circuit d'interface 20 comprend deux branches d'entrée be20 et be21 et une branche de sortie bs20. La branche d'entrée be20 comprend un transistor NMOS N20 et une source de courant I20. Le drain du transistor N20 est relié à la borne vdd. La source de courant I20 est placée entre la source du transistor N20 et la 35 masse. La grille du transistor N20 est reliée à l'entrée E20 du

5 circuit d'interface 20. La branche d'entrée be21 comprend trois transistors NMOS N21, N22 et N23 et une source de courant I21. Le drain du transistor N21 est relié à la borne vdd. La grille du transistor N21 est reliée à l'entrée E₂₀. Les transistors N22 et N23 sont montés en diode, leur grille étant reliée à leur drain. Le drain du transistor N22 est relié à la source du transistor N21 et le drain du transistor N23 est relié à la source du transistor N22. La source de courant I21 est placée entre la source du transistor N23 et la masse. La branche de 10 sortie bs20 comprend un transistor NMOS N24 et un transistor PMOS P20. Le drain du transistor N24 est relié à la borne vdd. Le drain du transistor P20 est relié à la masse. Les sources des transistors N24 et P20 sont reliées à la sortie S₂₀ du circuit d'interface 20. La grille du transistor N24 est reliée au noeud 15 intermédiaire A₂₀ entre la source du transistor N20 et la source de courant I20. La grille du transistor P20 est reliée au noeud intermédiaire B₂₀ entre la source du transistor N23 et la source de courant I21.

20 La tension V_{A20} au point A₂₀ est égale à la tension V_{E20} sur l'entrée E₂₀ moins une fois la tension de seuil V_t. La tension V_{B20} au noeud B₂₀ est égale à la tension V_{E20} moins trois fois la tension de seuil V_t. En conséquence, la tension V_{S20} sur la sortie S₂₀ est égale à la tension V_{E20} moins deux fois la tension de seuil V_t.

25 Le circuit d'interface 20 permet de recopier un signal avec un décalage de tension négatif égal à deux fois la tension de seuil V_t. De façon duale, il est possible de réaliser un circuit d'interface permettant de recopier un signal avec un décalage de tension positif égal à deux fois la tension de seuil V_t.

30 De façon générale, un circuit d'interface selon la présente invention comprend une ou plusieurs branches d'entrée et une unique branche de sortie. Chaque branche d'entrée comprend une source de courant et un transistor commandé par le signal d'entrée ainsi qu'une ou plusieurs diodes. L'unique branche de



sortie est composée d'un transistor NMOS et d'un transistor PMOS montés en "push-pull" comme décrit précédemment en relation avec les figures 1 à 3. Les transistors NMOS et PMOS de la branche de sortie reçoivent des tensions de commande décalées l'une par rapport à l'autre d'une tension sensiblement égale à deux fois la tension de seuil V_t . Dans le cas où une tension de commande doit être décalée par rapport à la tension du signal d'entrée, la tension de commande adéquate est fournie par une branche d'entrée. Ainsi, dans le cas où l'on souhaite obtenir une tension de commande supérieure à la tension du signal d'entrée, on prévoira une branche d'entrée comprenant un transistor PMOS commandé par le signal d'entrée, son drain étant relié à la masse et sa source reliée à une source de courant par l'intermédiaire éventuellement d'une ou de plusieurs diodes. Dans le cas où l'on souhaite obtenir une tension de commande inférieure à la tension du signal d'entrée, on prévoira une branche d'entrée comprenant un transistor NMOS commandé par le signal d'entrée, son drain étant relié à la borne Vdd et sa source reliée à une source de courant par l'intermédiaire éventuellement d'une ou de plusieurs diodes.

Un avantage du circuit d'interface selon la présente invention est qu'il permet de recopier des signaux présentant une grande excursion de tension. Les valeurs extrêmes de la plage des tensions du signal d'entrée pour lesquelles la recopie est correcte sont fonction du circuit d'interface. Dans le cas du circuit d'interface 1 de la figure 1, les valeurs extrêmes sont $Vdd - V_t$ et $gnd + V_t$ (Vdd étant une tension haute et gnd une tension basse, par exemple la masse). Dans le cas du circuit d'interface 10 de la figure 2, les valeurs extrêmes sont gnd et $Vdd - 2V_t$. Dans le cas du circuit d'interface 20 de la figure 3, les valeurs extrêmes sont Vdd et $gnd + 3V_t$.

Un autre avantage du circuit d'interface de la présente invention est qu'il permet de recopier un signal avec un décalage constant.

De plus, les branches d'entrée ont une faible impédance de charge correspondant à la capacité de grille d'un transistor de la branche de sortie. En conséquence, les transistors des branches d'entrée peuvent être de petite taille. En outre, 5 les transistors de la branche de sortie sont commandés de sorte qu'en statique, quand le signal d'entrée ne varie pas, les transistors sont très faiblement conducteurs. Contrairement à un amplificateur monté en suiveur, la consommation statique d'un circuit d'interface selon la présente invention est très faible. 10 De plus, le montage "push-pull" des transistors de la branche de sortie est tel qu'en dynamique, quand le signal d'entrée varie, un seul des transistors est passant. L'ensemble du courant fourni ou absorbé par le transistor passant est utilisé pour faire croître ou décroître la tension de sortie. En conséquence, 15 pour une énergie fournie équivalente un circuit d'interface selon l'invention peut être réalisé avec des transistors de petite taille.

La figure 4 est un schéma d'une application d'un circuit d'interface selon la présente invention tel que décrit 20 en relation avec la figure 1 à un circuit de pompe de charge. Le circuit de pompe de charge fait par exemple partie d'un circuit de boucle à verrouillage de phase ou PLL (de l'anglais Phase Locked Loop). Le circuit de pompe de charge comprend deux transistors PMOS P30 et P31 et deux transistors NMOS N30 et N31. 25 Une source de courant I30 est placée entre la borne vdd et un noeud P relié aux sources des transistors P30 et P31. Une source de courant I31 est placée entre la masse et un noeud N relié aux sources des transistors N30 et N31. Les drains des transistors P30 et N30 sont reliés à la sortie O du circuit de pompe de charge. 30 Les drains des transistors P31 et N31 sont reliés à un noeud I. Le transistor P31 est commandé par un signal ϕ_1 et le transistor P31 est commandé par un signal $\bar{\phi}_1$ complémentaire du signal ϕ_1 . Le transistor N30 est commandé par un signal ϕ_2 et le transistor N31 est commandé par un signal $\bar{\phi}_2$ complémentaire 35 du signal ϕ_2 . Ce circuit est destiné à charger ou décharger un



condensateur C placé entre la sortie O et la masse. Le circuit d'interface 1 est placé entre les noeuds I et O. La sortie O du circuit de pompe de charge est reliée à l'entrée E_1 du circuit d'interface 1. La sortie S_1 du circuit d'interface 1 est reliée 5 au noeud I.

La sortie O du circuit de pompe de charge commande, éventuellement par l'intermédiaire d'un circuit de filtre, un oscillateur commandé en tension faisant partie du circuit de boucle à verrouillage de phase. A titre d'exemple, quand la 10 tension V_o sur la sortie O augmente, la fréquence de l'oscillateur augmente et inversement. Les signaux ϕ_1 , $\bar{\phi}_1$, ϕ_2 et $\bar{\phi}_2$ sont produits par un circuit de détection de déphasage entre un signal d'horloge de référence et un signal égal au signal produit par l'oscillateur commandé en tension et divisé par un 15 nombre N.

Quand le signal ϕ_1 est actif, égal à vdd, et le signal ϕ_2 est inactif, égal à gnd, le transistor P30 est passant et le transistor N30 non passant. Le condensateur C se charge et la tension V_o augmente. La fréquence de l'oscillateur augmente. 20 Inversement, quand le signal ϕ_2 est actif et le signal ϕ_1 est inactif, le transistor N30 est passant et le transistor P30 non passant. Le condensateur C se décharge et la tension V_o diminue. La fréquence de l'oscillateur diminue. Quand les signaux ϕ_1 et ϕ_2 sont tous les deux actifs ou tous les deux inactifs, la 25 tension V_o ne varie pas et la fréquence de l'oscillateur reste inchangée.

Quand le transistor P30 est non passant, le transistor P31 est passant et il maintient le noeud P à la tension qu'il aurait si le transistor P30 était passant car les tensions aux 30 noeuds I et O sont égales. De même, quand le transistor N30 est non passant, le transistor N31 est passant et il maintient le noeud N à la tension qu'il aurait si le transistor N30 était passant.

Comme cela apparaîtra ci-après, le circuit de pompe de charge décrit ci-dessus présente un avantage important par 35

rapport à un circuit classique de pompe de charge ne comportant pas de circuit d'interface selon la présente invention pour alimenter les drains des transistors P31 et N31 avec une tension égale à celle de la sortie O du circuit de pompe de charge.

5 En effet, dans un circuit classique de pompe de charge, les drains des transistors P31 et N31 sont reliés respectivement à la masse et à la borne vdd. Quand les transistors "de maintien" P31 et N31 sont actifs, les noeuds N et P sont à une tension intermédiaire entre la masse et la tension de la borne vdd, la tension intermédiaire dépendant de la taille des transistors P31 et N31 et du courant fourni par les sources I30 et I31. De façon générale, les signaux complémentaires $\phi_1/\bar{\phi}_1$ ou $\phi_2/\bar{\phi}_2$ commutent avec un léger retard l'un par rapport à l'autre, de façon en principe à ce que les deux transistors 10 soient non conducteurs avant d'inverser la sélection. Au moment où le transistor N30 redevient passant, la tension au noeud N varie en fonction de l'ordre et de la durée de commutation des transistors N30 et N31. Cependant, quelles que soient les variations de la tension au noeud N pendant la commutation, la tension après commutation est toujours plus faible que la tension avant commutation, la tension après commutation étant d'autant plus faible que la tension au noeud O est faible. De façon similaire, au moment où le transistor P30 redevient passant, la tension au noeud P après commutation est toujours 15 plus élevée que la tension avant commutation, la tension après commutation étant d'autant plus élevée que la tension au noeud O est élevée. Or les sources de courant I30 et I31 présentent des capacités parasites respectivement C_p et C_n telles que représentées en pointillés en figure 4. Quand la tension au noeud P 20 augmente, le condensateur C_p doit se décharger et le courant de charge fourni est imputé de la valeur du courant de décharge. De même, quand la tension au noeud N diminue, le condensateur C_p doit se décharger et le courant de décharge absorbé par la source I30 est imputé de la valeur du courant de décharge du 25 condensateur C_p . Le courant de charge ou de décharge n'étant pas 30 35



strictement égal au courant délivré par les sources de courant I30 et I31, la tension au noeud O ne varie pas dans les proportions voulues ce qui nuit au bon fonctionnement du circuit de boucle, à verrouillage de phase. De plus, quand un des transistors P30 et N30 devient passant alors que l'autre était déjà passant, le courant de charge ou de décharge parasite entraîne des surtensions ou des soustensions parasites qui font varier la tension Vo de façon intempestive. Les erreurs induites par ces phénomènes parasites sont d'autant plus grandes que le fonctionnement du circuit de détection de déphasage est tel qu'il commande des changements fréquents des signaux ϕ_1 et ϕ_2 .

Contrairement au circuit classique de pompe de charge, le circuit de pompe de charge de la figure 4 comprenant un circuit d'interface selon la présente invention est tel que quels que soient l'ordre et la durée de commutation des paires de transistors N30/N31 et P30/P31 lors des changements des signaux ϕ_1 et ϕ_2 les tensions au noeud N ou P avant et après commutation sont égales. L'ensemble des phénomènes parasites décrits ci-dessus pour un circuit classique sont inexistant dans le circuit de la figure 4.

Un avantage du circuit de pompe de charge comportant un circuit d'interface selon la présente invention est qu'il permet de faire varier la tension de commande de l'oscillateur conformément aux signaux de commande du circuit de détection de déphasage, notamment quand les signaux de commande varient avec une fréquence élevée.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, un circuit d'interface selon la présente invention peut être réalisé avec des transistors BICMOS. De façon générale, les transistors NMOS des circuits décrits peuvent être remplacés par des transistors NPN et les transistors PMOS remplacés par des transistors PNP. De même, le circuit de pompe de charge décrit précédemment pourrait être réalisé avec des transistors bipolaires.

REVENDICATIONS

1. Circuit d'interface comprenant une ou deux branches d'entrée (be1, be2 ; be10 ; be20, be21) et une branche de sortie (bs1 ; bs10 ; bs20), chaque branche étant connectée entre des bornes d'alimentation supérieure (vdd) et inférieure (gnd),
5 chaque branche d'entrée comprenant un transistor (P1, N1 ; P11 ; N20, N21) dont l'électrode de commande est connectée à l'entrée du circuit d'interface (E1 ; E10 ; E20), une des deux autres électrodes du transistor étant reliée à une des bornes d'alimentation, une source de courant (I1, I2 ; I10 ; I20, I21)
10 étant placée entre l'autre des bornes d'alimentation et un noeud intermédiaire (A1, B1 ; A10 ; A20, B20) relié à la dernière électrode du transistor par l'intermédiaire éventuellement d'une ou de plusieurs diodes, la branche de sortie comprenant deux transistors complémentaires (N2, P2 ; N10, P12 ; N24, P20), dont
15 les électrodes de commande sont reliées aux noeuds intermédiaires d'une des branches d'entrée ou à l'entrée du circuit, une des électrodes de chacun des transistors complémentaires étant connectée à la sortie du circuit (S1 ; S10 ; S20), la dernière électrode de chacun des transistors étant connectée à
20 une borne d'alimentation.

2. Circuit d'interface selon la revendication 1, dans lequel les transistors sont des transistors CMOS, l'électrode de commande d'un transistor étant sa grille, les deux autres électrodes étant ses source et drain.

25 3. Circuit d'interface selon la revendication 2, dans lequel la branche de sortie (bs1, bs10, bs20) comprend un transistor PMOS (P2, P12, P20) et un transistor NMOS (N2, N10, N24), les drains des transistors PMOS et NMOS étant reliés à la sortie du circuit (S1, S10, S20), la source du transistor PMOS étant
30 reliée à la borne d'alimentation supérieure (vdd), la source du transistor NMOS étant reliée à la borne d'alimentation inférieure (gnd).

4. Circuit d'interface selon la revendication 3, comprenant des première et seconde branches d'entrée (be1, be2),



la première branche d'entrée (be1) comprenant un transistor PMOS (P1) dont le drain est connecté à la borne d'alimentation inférieure (gnd), la source de courant (I1) de la première branche d'entrée étant placée entre la source du transistor PMOS de la première branche d'entrée et la borne d'alimentation supérieure (vdd), la seconde branche d'entrée (be2) comprenant un transistor NMOS (N1) dont le drain est connecté à la borne d'alimentation supérieure, la source de courant (I2) de la seconde branche d'entrée étant placée entre la source du transistor NMOS et la borne d'alimentation inférieure (gnd), les grilles des transistors NMOS et PMOS étant connectées à l'entrée (E₁) du circuit, la grille du transistor NMOS (N2) de la branche de sortie (bs1) étant connectée à la source du transistor PMOS de la première branche d'entrée, la grille du transistor PMOS (P2) de la branche de sortie étant connectée à la source du transistor NMOS de la seconde branche d'entrée.

5. Circuit d'interface selon la revendication 3, comprenant une seule branche d'entrée, la première branche d'entrée (be10) comprenant un transistor PMOS (P10) dont le drain est connecté à la borne d'alimentation inférieure (gnd) et la grille connectée à l'entrée du circuit d'interface, la source du transistor PMOS étant connectée à la cathode d'une diode (P11), la source de courant de la branche d'entrée étant placée entre l'anode de la diode et la borne d'alimentation supérieure (vdd), la grille du transistor NMOS (N2) de la branche de sortie (bs1) étant connectée à la source du transistor PMOS (P10) de la branche d'entrée (be10), la grille du transistor PMOS (P2) de la branche de sortie (bs) étant connectée à l'entrée du circuit.

6. Circuit d'interface selon la revendication 3, comprenant des première et seconde branches d'entrée, la première branche d'entrée (be20) comprenant un transistor NMOS (N20) dont le drain est connecté à la borne d'alimentation supérieure (vdd), la source de courant (I20) de la première branche d'entrée étant placée entre la source du transistor NMOS de la première branche d'entrée et la borne d'alimentation inférieure (gnd), la seconde

branche d'entrée (be21) comprenant un transistor NMOS (N1) dont le drain est connecté à la borne d'alimentation supérieure (vdd), la source du transistor NMOS (N21) de la seconde branche étant connectée à l'anode d'une première diode (N22), la cathode 5 de la première diode étant connectée à l'anode d'une seconde diode (N23), la source de courant (I21) de la seconde branche d'entrée étant placée entre la cathode de la seconde diode et la borne d'alimentation inférieure, les grilles des transistors NMOS des première et seconde branche d'entrée étant connectées à 10 l'entrée (E20) du circuit d'interface, la grille du transistor NMOS (N24) de la branche de sortie (bs20) étant connectée à la source du transistor NMOS de la première branche d'entrée, la grille du transistor PMOS (P20) de la branche de sortie étant connectée à la cathode de la seconde diode.

15 7. Circuit selon la revendication 2, dans lequel la source de chacun des transistors du circuit est connectée au substrat du transistor.

20 8. Circuit selon la revendication 1, dans lequel les transistors sont des transistors bipolaires, l'électrode de commande d'un transistor étant sa base, les deux électrodes étant ses émetteur et collecteur.

25 9. Circuit de pompe de charge comprenant des premier et second transistors PMOS (P30, P31) commandés par des premiers signaux complémentaires, des premier et second transistors NMOS (N30, N31) commandés par des seconds signaux complémentaires, une première source de courant (I30) étant placée entre une borne de tension supérieure (vdd) et les sources des transistors PMOS, une seconde source de courant (I31) étant placée entre une borne de tension inférieure (gnd) et les sources des transistors 30 NMOS, les drains des premiers transistors étant reliés à la sortie du circuit (O), les drains des seconds transistors étant reliés à un noeud intermédiaire (I), la sortie du circuit étant reliée à l'entrée (E₁) d'un circuit d'interface (1) selon la revendication 4, la sortie du circuit d'interface (S₁) étant 35 reliée au noeud intermédiaire.

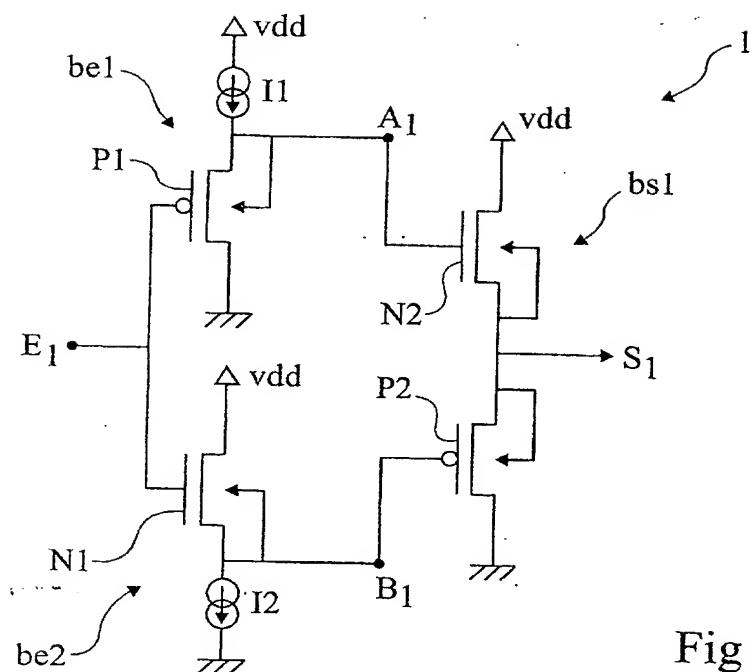


Fig 1

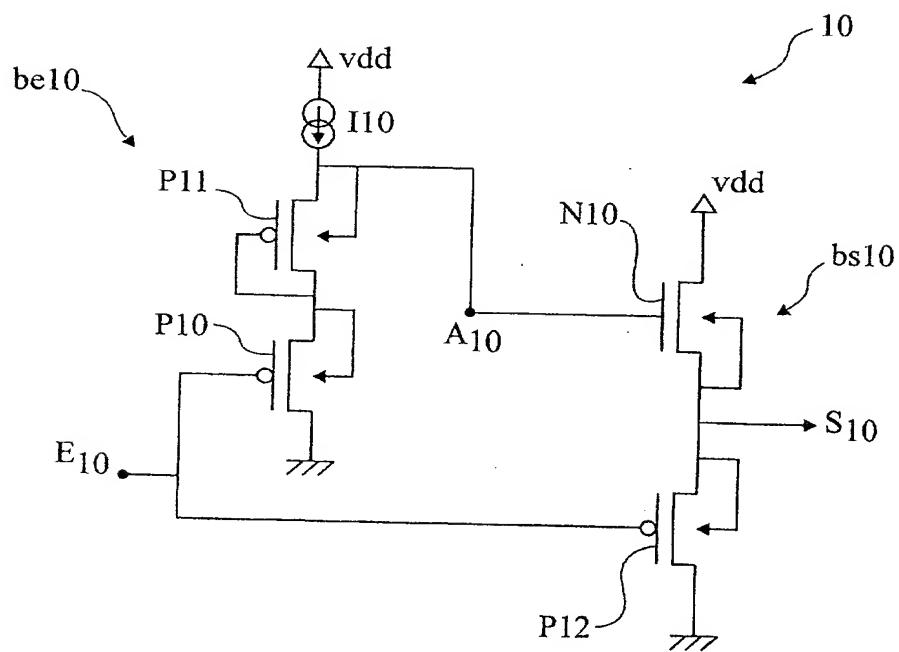


Fig 2

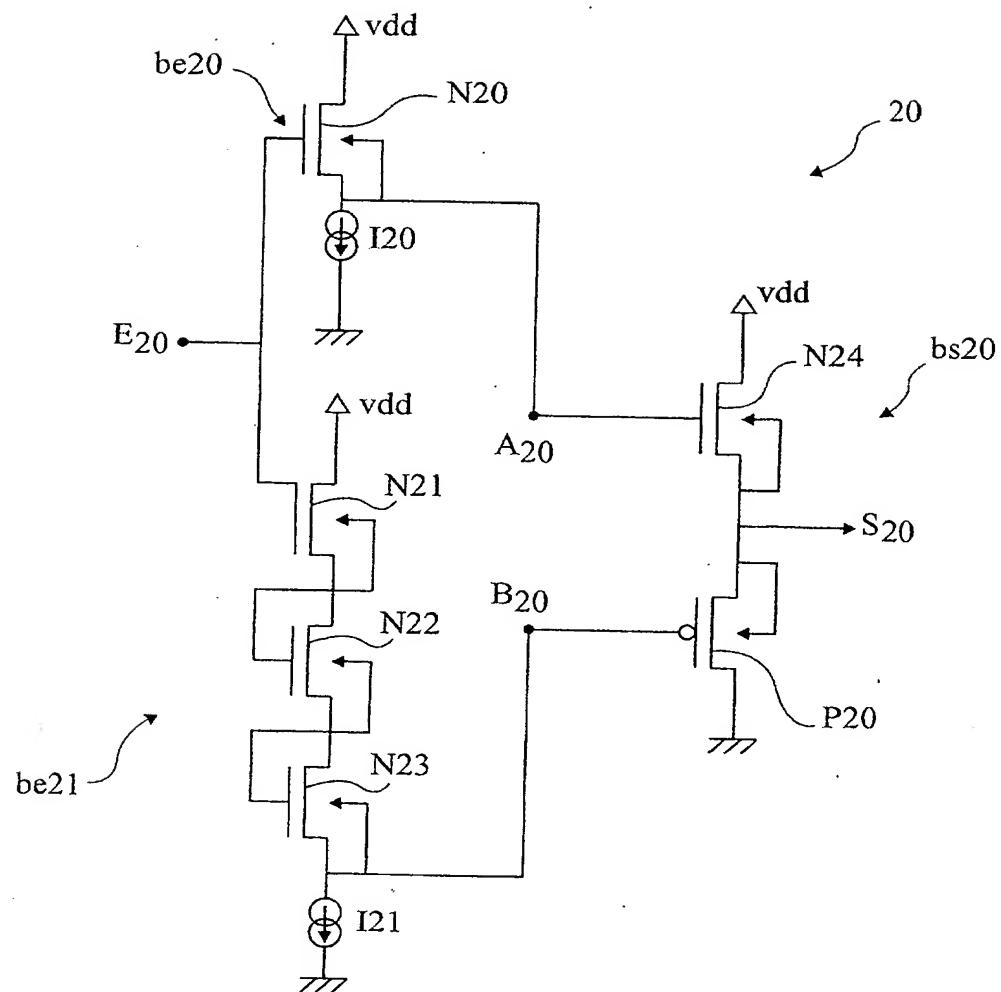


Fig 3

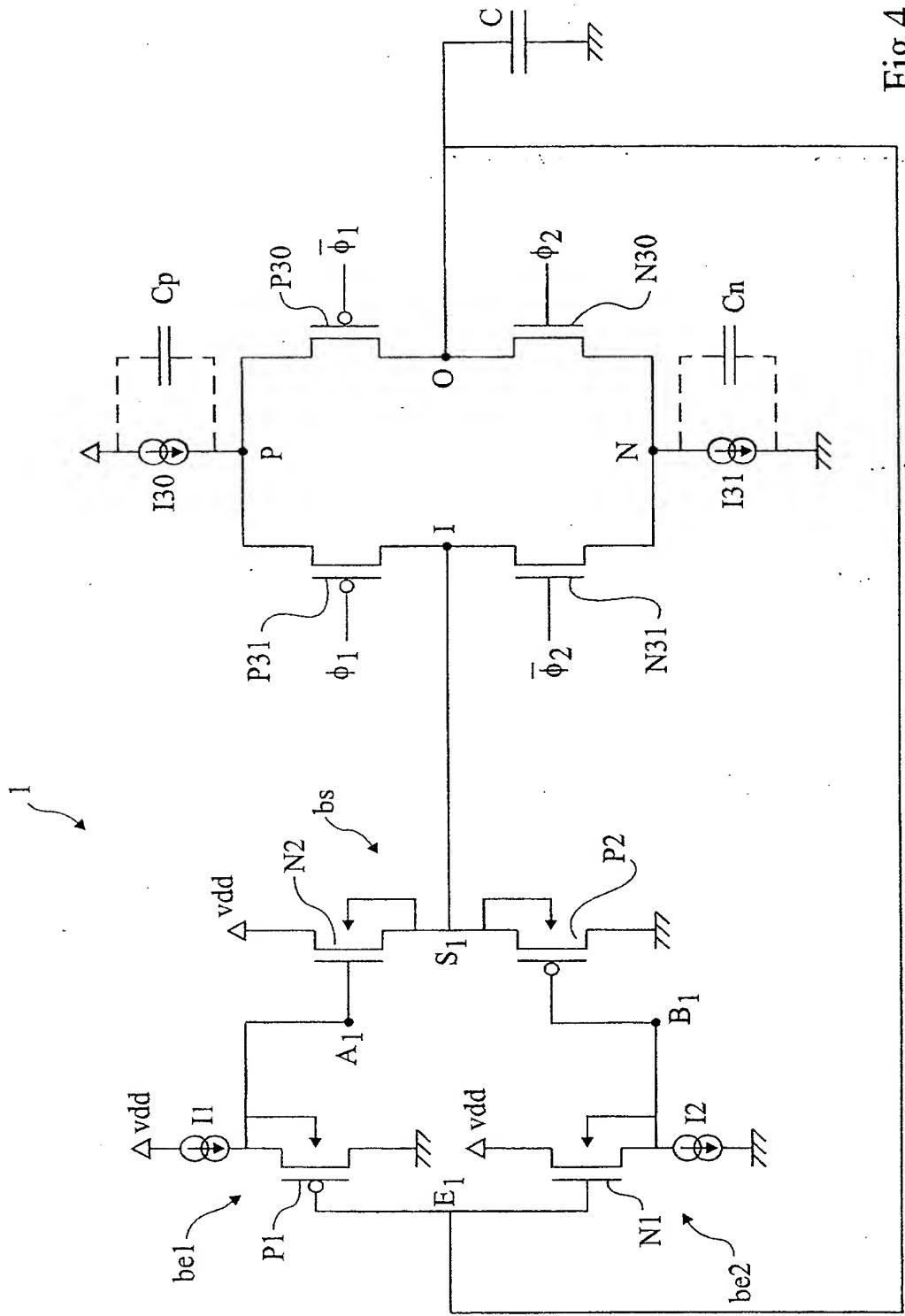


Fig 4



DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

reçue le 08/04/03

cerfa
N° 55 -1328

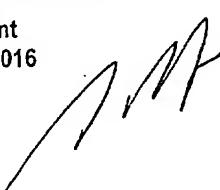
BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

DÉSIGNATION D'INVENTEUR(S) PAGE N°1/1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5862	
N° D'ENREGISTREMENT NATIONAL		0302422	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
CIRCUIT D'INTERFACE			
LE(S) DEMANDEUR(S) :			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Denis <u>Cottin</u>	
ADRESSE	Rue	237 Chemin des Manges	
	Code postal et ville	38920	CROLLES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		<u>Sébastien Dedieu</u>	
ADRESSE	Rue	58, Rue Guillaume Appolinaire	
	Code postal et ville	38190	CROLLES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016			
Le 24 février 2003			

THIS PAGE BLANK (USPTO)